

日本国特許庁
JAPAN PATENT OFFICE

Koji Arita et al.

8/18/03

Q76951 10f1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 8月21日

出願番号

Application Number:

特願2002-240803

[ST.10/C]:

[JP2002-240803]

出願人

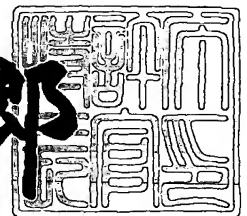
Applicant(s):

NECエレクトロニクス株式会社

2003年 5月23日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3038510

【書類名】 特許願

【整理番号】 74112703

【提出日】 平成14年 8月21日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/31

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 有田 幸司

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 田上 政由

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 宮本 秀信

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100080816

 【弁理士】

 【氏名又は名称】 加藤 朝道

 【電話番号】 045-476-1131

【手数料の表示】

 【予納台帳番号】 030362

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【包括委任状番号】 9304371

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】

基板上に少なくとも第 1 の層間膜、エッチストッパ膜、第 2 の層間膜、第 1 のハードマスク、第 2 のハードマスクがこの順に成膜され、かつ、前記第 2 のハードマスクに前記第 1 のハードマスクが露出する溝パターンが形成された半導体基板上に、少なくともフォトリジストのエッチングレートと相互に異なり、かつ、剥離液を用いて除去可能な光吸収性犠牲膜を、その表面全体が平坦になるように前記溝パターンに埋め込んで成膜する工程と、

前記溝パターンの領域上に前記溝パターンの間口幅よりも小さい間口幅の開口パターンを有するフォトリジストを前記光吸収性犠牲膜上に形成する工程と、

前記フォトリジストをエッチングマスクとして、少なくとも前記光吸収性犠牲膜、前記第 1 のハードマスク及び前記第 2 の層間膜を、選択的に連続してエッチングする工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 2】

基板上に少なくとも第 1 の層間膜、エッチストッパ膜、第 2 の層間膜、第 1 のハードマスク、第 2 のハードマスクがこの順に成膜され、かつ、前記第 2 のハードマスクに前記第 1 のハードマスクが露出する溝パターンが形成された半導体基板上に、少なくともフォトリジストのエッチングレートと相互に異なり、かつ、剥離液を用いて除去できる犠牲膜を、その表面全体が平坦になるように前記溝パターンに埋め込んで成膜する工程と、

前記犠牲膜上に反射防止膜を成膜する工程と、

前記溝パターンの領域上に前記溝パターンの間口幅よりも小さい間口幅の開口パターンを有するフォトリジストを前記反射防止膜上に形成する工程と、

前記フォトリジストをエッチングマスクとして少なくとも前記反射防止膜、前記犠牲膜、前記第 1 のハードマスク及び前記第 2 の層間膜を、選択的に連続してエッチングする工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 3】

基板上に少なくともキャップ膜、第 1 の層間膜、エッチストップ膜、第 2 の層間膜、ハードマスクがこの順に成膜され、かつ、前記ハードマスク及び前記第 2 の層間膜に前記エッチストップ膜が露出する溝パターンが形成された半導体基板上に、少なくともフォトリソのエッチングレートと相互に異なり、かつ、剥離液を用いて除去可能な光吸収性犠牲膜を、その表面全体が平坦になるように前記溝パターンに埋め込んで成膜する工程と、

前記溝パターンの領域上に前記溝パターンの間口幅よりも小さい間口幅の開口パターンを有するフォトリソを前記光吸収性犠牲膜上に形成する工程と、

前記フォトリソをエッチングマスクとして少なくとも前記光吸収性犠牲膜、前記エッチストップ膜及び前記第 1 の層間膜を、選択的に連続してエッチングする工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 4】

基板上に少なくともキャップ膜、第 1 の層間膜、エッチストップ膜、第 2 の層間膜、ハードマスクがこの順に成膜され、かつ、前記ハードマスク及び前記第 2 の層間膜に前記エッチストップ膜が露出する溝パターンが形成された半導体基板上に、少なくともフォトリソのエッチングレートと相互に異なり、かつ、剥離液を用いて除去可能な犠牲膜を、その表面全体が平坦になるように前記溝パターンに埋め込んで成膜する工程と、

前記犠牲膜上に反射防止膜を成膜する工程と、

前記溝パターンの領域上に前記溝パターンの間口幅よりも小さい間口幅の開口パターンを有するフォトリソを前記反射防止膜上に形成する工程と、

前記フォトリソをエッチングマスクとして少なくとも前記反射防止膜、前記犠牲膜、前記エッチストップ膜及び前記第 1 の層間膜を、選択的に連続してエッチングする工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 5】

前記エッチングの後、前記剥離液を用いて前記半導体基板から前記フォトリソスト及び前記光吸収性犠牲膜を除去する工程を含むことを特徴とする請求項 1 又は 3 記載の半導体装置の製造方法。

【請求項 6】

前記エッチングの後、前記剥離液を用いて前記半導体基板から前記フォトリソスト、前記反射防止膜及び前記犠牲膜を除去する工程を含むことを特徴とする請求項 2 又は 4 記載の半導体装置の製造方法。

【請求項 7】

前記半導体基板から前記フォトリソスト及び前記光吸収性犠牲膜のユニット、又は、前記フォトリソスト、前記反射防止膜及び前記犠牲膜のユニットを除去した後、前記第 1 のハードマスクをエッチングマスクとして、配線溝パターン及びビアパターンを形成する工程を含むことを特徴とする請求項 5 又は 6 記載の半導体装置の製造方法。

【請求項 8】

前記光吸収性犠牲膜には、MSQ を主成分とし、染料を含有する MSQ 系光吸収犠牲膜が用いられることを特徴とする請求項 1、3、5 及び 7 のいずれか一項に記載の半導体装置の製造方法。

【請求項 9】

前記犠牲膜には、SOG 膜が用いられることを特徴とする請求項 2、4、6 及び 7 のいずれか一項に記載の半導体装置の製造方法。

【請求項 10】

前記 SOG 膜には、側鎖に水素基若しくはアルキル基を有するシロキサンを主成分とするポリマー、又は、シルセスキオキサン系化合物を主成分とするポリマーが用いられることを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 11】

前記第 1 の層間膜には、無機系絶縁物又は有機系絶縁物が用いられ、

前記第 2 の層間膜には、無機系絶縁物又は有機系絶縁物が用いられることを特徴とする請求項 1 乃至 10 のいずれか一項に記載の半導体装置の製造方法。

【請求項 12】

前記無機系絶縁物には、側鎖に水素基若しくはアルキル基を有するシロキサンを主成分とするポリマー、又は、シルセスキオキサン系化合物を主成分とするポリマーが用いられることを特徴とする請求項 1 1 記載の半導体装置の製造方法。

【請求項 1 3】

前記有機系絶縁物には、芳香族化合物を主成分とするポリマーが用いられることを特徴とする請求項 1 1 記載の半導体装置の製造方法。

【請求項 1 4】

前記第 1 の層間膜と前記第 2 の層間膜には、共通の材料が用いられることを特徴とする請求項 1 乃至 1 3 のいずれか一項に記載の半導体装置の製造方法。

【請求項 1 5】

基板上に少なくとも第 1 の層間膜、エッチストッパ膜、第 2 の層間膜、第 1 のハードマスク、第 2 のハードマスクがこの順に積層し、かつ、前記第 2 のハードマスクに前記第 1 のハードマスクが露出する溝パターンを有する中間製品としての半導体装置において、

表面全体が平坦になるように前記溝パターンに埋め込まれて成膜されるとともに、少なくともフォトリソグのエッチングレートと相互に異なり、かつ、剥離液を用いて除去可能な光吸収性犠牲膜と、

前記光吸収性犠牲膜上に形成されるとともに、前記溝パターンの領域上に前記溝パターンの間口幅よりも小さい間口幅の開孔パターンを有するフォトリソグと、

を備えることを特徴とする半導体装置。

【請求項 1 6】

基板上に少なくとも第 1 の層間膜、エッチストッパ膜、第 2 の層間膜、第 1 のハードマスク、第 2 のハードマスクがこの順に積層し、かつ、前記第 2 のハードマスクに前記第 1 のハードマスクが露出する溝パターンを有する中間製品としての半導体装置において、

表面全体が平坦になるように前記溝パターンに埋め込まれて成膜されるとともに、少なくともフォトリソグのエッチングレートと相互に異なり、かつ、剥離液を用いて除去できる犠牲膜と、

前記犠牲膜上に成膜された反射防止膜と、

前記反射防止膜上に形成されるとともに、前記溝パターンの領域上に前記溝パターンの間口幅よりも小さい間口幅の開口パターンを有するフォトレジストと、
を備えることを特徴とする半導体装置。

【請求項 1 7】

基板上に少なくともキャップ膜、第 1 の層間膜、エッチストッパ膜、第 2 の層間膜、ハードマスクがこの順に積層し、かつ、前記ハードマスク及び前記第 2 の層間膜に前記エッチストッパ膜が露出する溝パターンを有する中間製品としての半導体装置において、

表面全体が平坦になるように前記溝パターンに埋め込まれて成膜されるとともに、少なくともフォトレジストのエッチングレートと相互に異なり、かつ、剥離液を用いて除去可能な光吸収性犠牲膜と、

前記光吸収性犠牲膜上に形成されるとともに、前記溝パターンの領域上に前記溝パターンの間口幅よりも小さい間口幅の開口パターンを有するフォトレジストと、

を備えることを特徴とする半導体装置。

【請求項 1 8】

基板上に少なくともキャップ膜、第 1 の層間膜、エッチストッパ膜、第 2 の層間膜、ハードマスクがこの順に積層し、かつ、前記ハードマスク及び前記第 2 の層間膜に前記エッチストッパ膜が露出する溝パターンを有する中間製品としての半導体装置において、

表面全体が平坦になるように前記溝パターンに埋め込まれて成膜されるとともに、少なくともフォトレジストのエッチングレートと相互に異なり、かつ、剥離液を用いて除去可能な犠牲膜と、

前記犠牲膜上に成膜される反射防止膜と、

前記反射防止膜上に形成されるとともに、前記溝パターンの領域上に前記溝パターンの間口幅よりも小さい間口幅の開口パターンを有するフォトレジストと、
を備えることを特徴とする半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、デュアルダマシン配線構造を形成する半導体装置及びその製造方法に関し、特に、良好な加工形状が得られる半導体装置及びその製造方法に関する。

【 0 0 0 2 】

【従来の技術】

半導体集積回路装置の多層配線を形成する方法として埋め込み配線（ダマシン）技術が有効である。その中でも、上層の配線が形成される配線溝と、前記上層配線と下層配線（又は基板）とを接続するビアホール（又はコンタクトホール）とを絶縁膜に形成した後、前記配線溝とビアホールとに同じ金属膜を埋め込んで配線とビアとを一体に形成するデュアルダマシン技術は、製造工程の簡略化及び迅速化により、製造コストを著しく低減することができるという利点がある。

【 0 0 0 3 】

従来の配線層間膜上に形成された 2 層のハードマスクを用いて Cu デュアルダマシン配線の形成方法（デュアルハードマスク法）の一例を以下に示す。

【 0 0 0 4 】

まず、Cu 下層配線層 1 0 1 上に、キャップ膜 1 0 2、ビア層間膜 1 0 3、エッチストップ膜 1 0 4、配線層間膜 1 0 5、第 1 のハードマスク 1 0 6、第 2 のハードマスク 1 0 7、を順次形成した半導体基板上に第 1 の反射防止膜 1 0 8（有機 BARC）を成膜し、その上に配線幅相当の間口幅の開口パターンを有する第 1 のフォトレジスト 1 0 9 を形成する（図 5（A）参照）。次に、第 1 のフォトレジスト 1 0 9 をエッチングマスクとして第 1 の反射防止膜 1 0 8 及び第 2 のハードマスク 1 0 7 を、第 1 のハードマスク 1 0 6 が露出するまで、ドライエッチングすることにより所望の溝パターン 1 2 1（配線幅相当の溝）を形成し、第 1 のフォトレジスト 1 0 9 及び第 1 の反射防止膜 1 0 8 を除去する（図 5（B）参照）。次に、基板上に第 2 の反射防止膜 1 1 3（有機 BARC）を成膜し（図 5（C）参照）、その上にビア径相当の間口幅の開口パターンを有する第 2 のフォトレジスト 1 1 1 を形成する（図 5（D）参照）。次に、第 2 のフォトレジス

ト 1 1 1 をエッチングマスクとして第 2 の反射防止膜 1 1 3、第 1 のハードマスク 1 0 6 及び配線層間膜 1 0 5 を、エッチストップ膜 1 0 4 が露出するまで、選択的に連続してドライエッチングすることにより所望の溝パターン 1 2 2（ビア径相当の溝）を形成し（図 5（E）参照）、その後、第 2 のフォトレジスト 1 1 1 及び第 2 の反射防止膜 1 1 3 を除去する（図 5（F）参照）。次に、第 2 のハードマスク 1 0 7 をエッチングマスクとして第 1 のハードマスク 1 0 6 若しくはエッチストップ膜 1 0 4 を選択的又は同時にドライエッチングし、続けて配線層間膜 1 0 5 若しくはビア層間膜 1 0 3 を、エッチストップ膜 1 0 4 若しくはキャップ膜 1 0 2 が露出するまで、選択的又は同時にドライエッチングすることにより配線溝 1 2 3 及びビアホール 1 2 4 を形成する（図 5（G）参照）。

【 0 0 0 5 】

次に、露出したキャップ膜 1 0 2 を、Cu 下層配線層 1 0 1 が露出するまで、エッチバック法によりエッチングし、Cu 下層配線層 1 0 1 の一部が露出した基板を洗浄した後、基板上に（シード膜、メタルバリア膜を成膜した後）Cu メッキ膜をビアホール及び配線溝に埋め込まれるまで成膜し、その後、Cu メッキ膜及びメタルバリア膜を CMP（Chemical Mechanical Polishing；化学的機械的研磨）を行うことによって平坦化する（図示せず）。これにより、Cu 下層配線層と電氣的に接続する Cu デュアルダマシン配線が形成される。

【 0 0 0 6 】

【発明が解決しようとする課題】

しかし、従来のデュアルハードマスク法ではデュアルダマシン配線構造の良好な加工形状を得ることが困難である。その理由は、以下の通りである。

【 0 0 0 7 】

第 1 の理由として、第 2 のハードマスク 1 0 7 が通常の膜厚だと、溝パターン 1 2 2（ビア径相当の溝）を形成した後に第 2 のハードマスク 1 0 7 をエッチングマスクとしてドライエッチングする際、第 2 のハードマスク 1 0 7 がいわゆる片落ちによって間口幅が広がり、配線形状が劣化する（安定しない）といった問題が生ずる（図 6（B）参照）。

【 0 0 0 8 】

第2の理由として、前記第1の理由で説明した問題を解決すべく、第2のハードマスク107の膜厚を通常の膜厚よりも厚膜化する場合があるが、第2のハードマスク107を厚膜化すると、大きな段差を作ることになる結果、第2の反射防止膜113（有機BARC）を通常の膜厚で成膜すると、第2のハードマスク107に形成された溝の側壁近傍における第2の反射防止膜113の膜厚と、側壁から離れたところの第2の反射防止膜113の膜厚と、が大きく異なってくる（図7（A）参照）。その結果、側壁近傍に形成される開口パターン111aと、側壁から離れたところに形成される開口パターン111bと、を第2のフォトレジスト111に同時に形成しようとする、DOF（焦点深度）マージンが取れにくくなり、パターン解像度が低下するといった問題がある（図7（B）参照）。

【0009】

第3の理由として、前記第2の理由で説明した問題を解決すべく、第2のハードマスク107に形成された溝に第2の反射防止膜113を埋め込んで第2の反射防止膜113の表面を平坦化することが考えられるが（図8（A）参照）、この場合、DOFマージンが取れやすくなるものの、第2のフォトレジスト111と第2の反射防止膜113との選択比が十分にとれず、前記第2の理由で説明したものよりもいっそう反射防止膜の膜厚が厚くなるため、エッチングを行うと第2のフォトレジスト111の間口幅が広がったり、第2のフォトレジスト111の膜厚が足りなくなるといった問題がある（図8（B）参照）。

【0010】

第4の理由として、第2の反射防止膜を除去するためにプラズマ剥離を使うことが必須であるが、プラズマ剥離時に配線層間膜に形成された溝の側壁面がダメージを受けることにより寸法が多少大きくなり、この後に行なうエッチングによって形成されるビアホールが所望のビア径で得られないといった問題がある。

【0011】

第5の理由として、配線層間膜が有機絶縁膜の場合は、エッチングの際、第2のフォトレジストと有機絶縁膜との選択比が十分にとれないため、良好な溝パターンを得ることが困難である。

【 0 0 1 2 】

第 6 の理由として、配線パターンの微細化に伴い、前記第 1 ～第 5 の理由に示した問題点が顕著になり、良好な加工形状を得ることがより一層困難となる。

【 0 0 1 3 】

本発明の第 1 の目的は、デュアルダマシン配線構造の良好な加工形状が得られる半導体装置及びその製造方法を提供することである。

【 0 0 1 4 】

本発明の第 2 の目的は、配線層間膜の側壁面にダメージを与えない半導体装置及びその製造方法を提供することである。

【 0 0 1 5 】

本発明の第 3 の目的は、配線パターンが微細化されても、良好な加工形状が得られる半導体装置及びその製造方法を提供することである。

【 0 0 1 6 】

【課題を解決するための手段】

本発明の第 1 の視点においては、デュアルダマシン配線構造を形成する半導体装置の製造方法において、基板上に少なくとも第 1 の層間膜、エッチストップ膜、第 2 の層間膜、第 1 のハードマスク、第 2 のハードマスクがこの順に成膜され、かつ、前記第 2 のハードマスクに前記第 1 のハードマスクが露出する溝パターンが形成された半導体基板上に、少なくともフォトレジストのエッチングレートと相互に異なり、かつ、剥離液を用いて除去可能な光吸収性犠牲膜を、その表面全体が平坦になるように前記溝パターンに埋め込んで成膜する工程と、前記溝パターンの領域上に前記溝パターンの間口幅よりも小さい間口幅の開口パターンを有するフォトレジストを前記光吸収性犠牲膜上に形成する工程と、前記フォトレジストをエッチングマスクとして少なくとも前記光吸収性犠牲膜、前記第 1 のハードマスク及び前記第 2 の層間膜を、選択的に連続してエッチングする工程と、を含むことを特徴とする。この構成によれば、フォトレジストの開口部から露出する光吸収性犠牲膜の表面が平坦であり、かつ、フォトレジストと光吸収性犠牲膜の選択比がとれることから、エッチングの際、フォトレジストの開口部の間口幅が安定し、デュアルダマシン配線構造の良好な加工形状が得られる。

【 0 0 1 7 】

本発明の第2の視点においては、デュアルダマシン配線構造を形成する半導体装置の製造方法において、基板上に少なくとも第1の層間膜、エッチストップ膜、第2の層間膜、第1のハードマスク、第2のハードマスクがこの順に成膜され、かつ、前記第2のハードマスクに前記第1のハードマスクが露出する溝パターンが形成された半導体基板上に、少なくともフォトリソのエッチングレートと相互に異なり、かつ、剥離液を用いて除去できる犠牲膜を、その表面全体が平坦になるように前記溝パターンに埋め込んで成膜する工程と、前記犠牲膜上に反射防止膜を成膜する工程と、前記溝パターンの領域上に前記溝パターンの間口幅よりも小さい間口幅の開口パターンを有するフォトリソを前記反射防止膜上に形成する工程と、前記フォトリソをエッチングマスクとして少なくとも前記反射防止膜、前記犠牲膜、前記第1のハードマスク及び前記第2の層間膜を、選択的に連続してエッチングする工程と、を含むことを特徴とする。この構成によれば、フォトリソの開口部から露出する反射防止膜の表面が平坦であり、かつ、反射防止膜を一定膜厚で薄くできるので、エッチングの際、フォトリソの開口部の間口の後退が抑えられ、デュアルダマシン配線構造の良好な加工形状が得られる。

【 0 0 1 8 】

本発明の第3の視点においては、デュアルダマシン配線構造を形成する半導体装置の製造方法において、基板上に少なくともキャップ膜、第1の層間膜、エッチストップ膜、第2の層間膜、ハードマスクがこの順に成膜され、かつ、前記ハードマスク及び前記第2の層間膜に前記エッチストップ膜が露出する溝パターンが形成された半導体基板上に、少なくともフォトリソのエッチングレートと相互に異なり、かつ、剥離液を用いて除去可能な光吸収性犠牲膜を、その表面全体が平坦になるように前記溝パターンに埋め込んで成膜する工程と、前記溝パターンの領域上に前記溝パターンの間口幅よりも小さい間口幅の開口パターンを有するフォトリソを前記光吸収性犠牲膜上に形成する工程と、前記フォトリソをエッチングマスクとして少なくとも前記光吸収性犠牲膜、前記エッチストップ膜及び前記第1の層間膜を、選択的に連続してエッチングする工程と、を含

むことを特徴とする。この構成によれば、フォトレジストの開口部から露出する光吸収性犠牲膜の表面が平坦であり、かつ、フォトレジストと光吸収性犠牲膜の選択比が十分にとれることから、エッチングの際、フォトレジストの開口部の間口の後退が抑えられ、深い溝を形成することができる。

【 0 0 1 9 】

本発明の第 4 の視点においては、デュアルダマシン配線構造を形成する半導体装置の製造方法において、基板上に少なくともキャップ膜、第 1 の層間膜、エッチストップ膜、第 2 の層間膜、ハードマスクがこの順に成膜され、かつ、前記ハードマスク及び前記第 2 の層間膜に前記エッチストップ膜が露出する溝パターンが形成された半導体基板上に、少なくともフォトレジストのエッチングレートと相互に異なり、かつ、剥離液を用いて除去可能な犠牲膜を、その表面全体が平坦になるように前記溝パターンに埋め込んで成膜する工程と、前記犠牲膜上に反射防止膜を成膜する工程と、前記溝パターンの領域上に前記溝パターンの間口幅よりも小さい間口幅の開口パターンを有するフォトレジストを前記反射防止膜上に形成する工程と、前記フォトレジストをエッチングマスクとして少なくとも前記反射防止膜、前記犠牲膜、前記エッチストップ膜及び前記第 1 の層間膜を、選択的に連続してエッチングする工程と、を含むことを特徴とする。この構成によれば、フォトレジストの開口部から露出する反射防止膜の表面が平坦であり、かつ、反射防止膜を一定膜厚で薄くできるので、エッチングの際、フォトレジストの開口部の間口の後退が抑えられ、深い溝を形成することができる。

【 0 0 2 0 】

なお、本発明の第 1 ～ 4 の視点の半導体装置の製造方法の中間工程で製造される中間製品としての半導体装置（例えば、犠牲膜又は光吸収性犠牲膜を成膜し、フォトレジストを形成したもの）とすることが好ましい。

【 0 0 2 1 】

【発明の実施の形態】

本発明の一実施形態について図面を用いて説明する。図 1 は、本発明の一実施形態に係る半導体装置の製造方法の各工程ごとの基板を模式的に示した部分断面図である。

【 0 0 2 2 】

デュアルダマシン配線構造を形成する半導体装置の製造方法において、基板（Cu下層配線層1を有する基板）上に少なくともキャップ膜2、第1の層間膜3、エッチストップ膜4、第2の層間膜5、第1のハードマスク6、第2のハードマスク7がこの順に成膜され、かつ、前記第2のハードマスク7に前記第1のハードマスク6が露出する溝パターン21が形成された半導体基板上に、少なくともフォトリジスト11のエッチングレートと相互に異なり、かつ、剥離液を用いて除去可能な光吸収性犠牲膜10を、その表面全体が平坦になるように前記溝パターン21に埋め込んで成膜する工程（図1（C）参照）と、前記溝パターン21の領域上に前記溝パターン21の間口幅よりも小さい間口幅の開口パターンを有するフォトリジスト11を前記光吸収性犠牲膜10上に形成する工程（図1（D）参照）と、前記フォトリジスト11をエッチングマスクとして少なくとも前記光吸収性犠牲膜10、前記第1のハードマスク6及び前記第2の層間膜5を、選択的に連続してエッチングする工程（図1（E）参照）と、を含むことにより、フォトリジスト11と光吸収性犠牲膜10との選択比がとれ、かつ、フォトリジスト11に形成された開口パターンの間口幅の寸法が安定した状態でエッチングが可能となり、第1の層間膜3が有機膜又は無機膜であっても良好な加工形状を得ることが可能となる。

【 0 0 2 3 】

ここで、キャップ膜2は、ビアホールが形成される際のエッチングをストップさせるハードマスクであり、例えば、 SiO_2 、 SiN 、 SiC 、 SiON 、 SiCN 等を用いることができる。キャップ膜2は、エッチストップ膜4と同一材料を用いてもよい。

【 0 0 2 4 】

第1の層間膜（ビア層間膜3）は、ビアホール（ビアパターン）が形成される層間絶縁膜であり、例えば、シリコン酸化膜、Low-k膜等を用いることができる。Low-k膜としては、 SiOF 、 SiOB 、 BN 、 SiOC 、多孔質シリカ膜などの無機系絶縁膜、メチル基含有 SiO_2 、HSQ（hydrogensilsesquioxane）、ポリイミド系膜、パリレン系膜、ポリテトラフルオロエチレン系膜、

その他共重合膜、フッ素ドーパモルファスカーボン膜などの有機系絶縁膜等を用いることができる。無機系絶縁膜として、側鎖に水素基若しくはアルキル基を有するシロキサンを主成分とするポリマー、若しくは、シルセスキオキサン系化合物を主成分とするポリマーであることが好ましく、有機系絶縁膜として、芳香族化合物を主成分とするポリマーであることが好ましい。

【 0 0 2 5 】

エッチストップパ膜 4 は、配線層間膜 5 に配線溝（配線パターン）が形成される際のエッチングをストップさせるとともに、ビア層間膜 3 にビアホール（ビアパターン）を形成するときのエッチングマスクとなるハードマスクであり、例えば、 SiC 、 SiN 、 SiON 、 SiCN 等を用いることができる。エッチストップパ膜 4 は、第 1 のハードマスク 6 と同一材料を用いてもよい。

【 0 0 2 6 】

第 2 の層間膜（配線層間膜 5）は、配線溝（配線パターン）が形成される層間絶縁膜であり、例えば、ビア層間膜 3 と同様に SiO_2 、 Low-k 膜等を用いることができる。配線層間膜 5 は、ビア層間膜 3 と同時にエッチングする場合には、ビア層間膜 3 の材料と共通することが好ましい。

【 0 0 2 7 】

第 1 のハードマスク 6 は、第 2 のハードマスク 7 に溝パターンが形成される際のエッチングをストップさせるハードマスクであり、例えば、 SiCN 、 SiC 、 SiN 、 SiON 等を用いることができる。なお、第 1 のハードマスク 6 は、エッチングの際の選択比を利用するので、第 2 のハードマスク 7 と異なる材料を使用する。第 1 のハードマスク 6 は、エッチストップパ膜 4 と同一材料を使用してもよい。

【 0 0 2 8 】

第 2 のハードマスク 7 は、配線層間膜 5 のパターン形成（配線パターン若しくはビアパターン）のエッチングマスクとして用いられるハードマスクであり、例えば、 SiCN 、 SiC 、 SiN 、 SiON 等を用いることができる。なお、第 2 のハードマスク 7 は、エッチングの際に選択比を利用するので、第 1 のハードマスク 6 と異なる材料を使用する。

【 0 0 2 9 】

反射防止膜 8 は、例えば、有機 B A R C (bottom anti-reflective coat) を用いることができ、反射防止膜形成用組成物を塗布 (スピンコーティング) し、2 0 0℃で 9 0 秒間プリバークして成膜することができる。反射防止膜形成用組成物には、例えば、ポリマー材料、吸光剤 (吸光部位)、酸触媒、有機溶剤、水を含む東京応化工業社製の反射防止膜形成用組成物 (特開 2 0 0 1 - 9 2 1 2 2 号公報参照) 又はクラリアント社製の反射防止膜形成用組成物 (国際公開番号 W O 〇 〇 / 0 1 7 5 2 参照) が用いることができる。有機 B A R C を使うと下地からの反射が少なくなるので、フォトレジストのより微細な露光が可能になる。

【 0 0 3 0 】

フォトレジスト 9、1 1 は、通常の形成方法で形成され、例えば、フォトレジスト組成物を塗布 (スピンコーティング) し、ホットプレートを用いて 9 5℃で 9 0 秒間プリバークして膜厚 4 0 0 n m に調整したフォトレジスト膜を成膜し、その後、フォトレジスト膜 (化学増幅ポジ型フォトレジスト) を成膜した基板を A r F エキシマレーザースキャナ (ニコン社製 N S R - S 3 0 2 A) を用いて最適な露光量とフォーカスで露光し、露光後直ちに 1 0 5℃で 9 0 秒間ポストバークし、現像液 2. 3 8 重量%のテトラメチルアンモニウムヒドロキシドの水溶液で 6 0 秒間現像を行なうことにより形成することができる。フォトレジスト組成物には、例えば、通常のベース樹脂、酸発生剤、塩基性化合物、溶剤を含む化学増幅ポジ型フォトレジスト組成物が用いることができる。

【 0 0 3 1 】

M S Q 系光吸収犠牲膜 1 0 は、例えば、M S Q 系光吸収犠牲膜形成用組成物を塗布 (スピンコーティング) し、1 5 0 ~ 2 5 0℃で 9 0 秒間プリバークして成膜される。M S Q 系光吸収犠牲膜形成用組成物は、M S Q (methylsilsesquioxane) を主成分とし、染料を含む。染料は、下地からの反射を少なくしフォトレジストの微細な露光を可能にするものを選ばれる。M S Q 系光吸収犠牲膜 1 0 は、フォトレジスト 1 1、第 1 のハードマスク 6、配線層間膜 5 及びエッチストップ膜 4 とそれぞれ選択比が取れるものを選ばれる。M S Q 系光吸収犠牲膜 1 0

は、非常に低濃度の希フッ酸あるいはフッ化アンモニウム含有の有機剥離液で除去できる。MSQ系光吸収犠牲膜10を除去する際、補助的に O_2 、 N_2O 若しくは H_2O プラズマアッシングすることがある。

【0032】

なお、ここでの半導体基板は、基板上に少なくとも第1の層間膜3、エッチストップ膜4、第2の層間膜5、第1のハードマスク6、第2のハードマスク7がこの順に成膜されたものであるが、他の膜が介在していてもよく、ハードマスクが3層以上あるものであってもよい。また、フォトレジスト11をエッチングマスクとしてエッチングする際、エッチストップ膜4が露出するまでエッチングするだけでなく、これより深くエッチングしてもよい。

【0033】

【実施例】

本発明の実施例1について図面を用いて説明する。図1は、本発明の実施例1に係る半導体装置の製造方法の各工程ごとの基板を模式的に示した部分断面図である。

【0034】

まず、表面に露出するCu下層配線1が形成された基板表面に、基板側から順にキャップ膜2 (SiCN; 膜厚50nm)、ビア層間膜3 (SiOC; 膜厚350~400nm)、エッチストップ膜4 (SiC; 膜厚50nm)、配線層間膜5 (SiOC; 膜厚300nm)、第1のハードマスク6 (SiO_2 ; 膜厚500nm)、第2のハードマスク7 (SiN; 膜厚1500nm) をCVD (Chemical Vapor Deposition) 法若しくは塗布法により成膜する (ステップA1; 図1 (A) 参照)。

【0035】

次に、第2のハードマスク7上に反射防止膜8 (有機BARC; 膜厚50nm) を成膜し、その上に配線幅相当の間口幅の開口パターンを有する第1のフォトレジスト9 (膜厚400nm) を形成して (図1 (A) 参照)、第1のフォトレジスト9をエッチングマスクとして反射防止膜8及び第2のハードマスク7を、第1のハードマスク6が露出するまで、ドライエッチング (プラズマエッチング

）することにより、第2のハードマスク7を所望の溝パターン21（配線幅相当の溝）に形成し、その後、第1のフォトレジスト9及び反射防止膜8を O_2 プラズマアッシングし、その後、有機剥離液を用いて除去する（ステップA2；図1（B）参照）。

【0036】

次に、MSQ系光吸収犠牲膜10（第2のハードマスク7表面からの膜厚300nm）を、表面が平坦になるように第2のハードマスク7に形成された溝パターン21に埋め込んで、成膜し（図1（C）参照）、その後、成膜したMSQ系光吸収犠牲膜10表面にビア径相当の間口幅の開口パターンを有する第2のフォトレジスト11（膜厚400nm）を形成する（ステップA3；図1（D）参照）。

【0037】

次に、第2のフォトレジスト11をエッチングマスクとしてMSQ系光吸収犠牲膜10、第1のハードマスク6及び配線層間膜5を、エッチストップ膜4が露出するまで、選択的に連続してドライエッチングすることにより予備的なビアパターン22（0.13 μ mルールでは ϕ 0.2 μ m）を形成し（図1（E）参照）、その後、第2のフォトレジスト11及びMSQ系光吸収犠牲膜10を有機剥離液（例えば、 NH_4F 系）を用いて除去（ウェット剥離）する（ステップA4；図1（F）参照）。

【0038】

ここで、この工程（図1（D）から（E）の間の工程）でのエッチングは、各層（10、6、5）が選択的にエッチングできるように、 C_xF_y 、 $C_xH_yF_z$ 、Ar、 N_2 、 O_2 等のエッチングガスを順次調整しながら行なわれる。

【0039】

次に、第2のハードマスク7をエッチングマスクとして、第1のハードマスク6及びエッチストップ膜4を同時にドライエッチングし、続けて配線層間膜5及びビア層間膜3を、エッチストップ膜4及びキャップ膜2が露出するまで、同時にドライエッチングすることにより、配線溝23及びビアホール24（0.13 μ mルールでは ϕ 0.2 μ m）を形成する（ステップA5；図1（G）参照）。

【 0 0 4 0 】

次に、露出するキャップ膜 2 を、Cu 下層配線層 1 が露出するまで、エッチバック法によりエッチングし、Cu 下層配線層 1 の一部が露出した基板を洗浄した後、基板上に（シード膜、メタルバリア膜を成膜した後）Cu メッキ膜をビアホール及び配線溝に埋め込まれるまで成膜し、その後、Cu メッキ膜及び第 2 のハードマスク 7 を CMP (Chemical Mechanical Polishing; 化学的機械的研磨) を行うことによって平坦化（第 1 のハードマスク 6 が研磨されてほとんどなくなるまで）する（図示せず）。これにより、下部 Cu 配線層と電氣的に接続するデュアルダマシン配線が形成される。

【 0 0 4 1 】

次に、本発明の実施例 2 について説明する。実施例 2 は、実施例 1 に係る半導体装置の製造方法とほぼ同様であるが、ビア層間膜 3 及び配線層間膜 5 に有機ポリマーを用いた点が異なる（図 1 参照）。MSQ 光吸光犠牲膜 10 は、有機ポリマーとも選択比がとれるため、実施例 1 のステップ A 4 におけるエッチング（図 1 (E) 参照）を行なっても、MSQ 光吸光犠牲膜 10 の寸法を良好に保ちながら配線層間膜 5 に係る有機ポリマーをエッチングすることができ、良好な加工形状を得ることができる。なお、ここでのエッチングも、各層（10、6、5）が選択的にエッチングできるように、 $C_x F_y$ 、 $C_x H_y F_z$ 、Ar、 N_2 、 O_2 等のエッチングガスを順次調整しながら行なわれる。

【 0 0 4 2 】

次に、本発明の実施例 3 について図面を用いて説明する。図 2 は、本発明の実施例 3 に係る半導体装置の製造方法の各工程ごとの基板を模式的に示した部分断面図である。

【 0 0 4 3 】

まず、表面に露出する Cu 下層配線が形成された基板表面に、基板側から順にキャップ膜 2 (SiCN; 膜厚 50 nm)、ビア層間膜 3 (SiOC; 膜厚 350~400 nm)、エッチストッパ膜 4 (SiC; 膜厚 50 nm)、配線層間膜 5 (SiOC; 膜厚 300 nm)、第 1 のハードマスク 6 (SiO_2 ; 膜厚 500 nm)、第 2 のハードマスク 7 (SiN; 膜厚 1500 nm) を CVD (Chem

ical Vapor Deposition) 法若しくは塗布法により成膜する (図 2 (A) 参照)。

【 0 0 4 4 】

次に、第 2 のハードマスク 7 上に第 1 の反射防止膜 8 (有機 B A R C ; 膜厚 5 0 n m) を成膜し、その上に配線幅相当の間口幅の開口パターンを有する第 1 のフォトレジスト 9 (膜厚 4 0 0 n m) を形成して (図 2 (A) 参照)、第 1 のフォトレジスト 9 をエッチングマスクとして第 1 の反射防止膜 8 及び第 2 のハードマスク 7 を、第 1 のハードマスク 6 が露出するまで、ドライエッチング (プラズマエッチング) することにより、第 2 のハードマスク 7 を所望の溝パターン 2 1 (配線幅相当の溝) に形成し、その後、第 1 のフォトレジスト 9 及び第 1 の反射防止膜 8 を O_2 プラズマアッシングし、その後、有機剥離液を用いて除去する (図 2 (B) 参照)。

【 0 0 4 5 】

次に、S O G 犠牲膜 1 2 (第 2 のハードマスク 7 表面からの膜厚 3 0 0 n m) を、表面が平坦になるように第 2 のハードマスク 7 に形成された溝パターン 2 1 に埋め込んで、成膜する (図 2 (C) 参照)。その後、S O G 犠牲膜 1 2 表面に第 2 の反射防止膜 1 3 (有機 B A R C ; 膜厚 5 0 n m) を成膜し、ビア径相当の間口幅の開口パターンを有する第 2 のフォトレジスト 1 1 (膜厚 4 0 0 n m) を形成する (図 2 (D) 参照)。

【 0 0 4 6 】

ここで、S O G (spin on glass) 犠牲膜 1 2 は、有機ケイ素系ポリマー (例えば、側鎖に水素基若しくはアルキル基を有するシロキサンを主成分とするポリマー、シルセスキオキサン系化合物を主成分とするポリマーなど) を有機溶剤 (アルコールなど) に溶かした組成物を回転塗布した後に 1 0 0 ~ 2 0 0 ° C で 6 0 秒間プリバークして成膜される。S O G 犠牲膜 1 2 は、フォトレジストとの選択比が取れる。非常に低濃度の希フッ酸あるいはフッ化アンモニウム含有の有機剥離液で除去できる。

【 0 0 4 7 】

次に、第 2 のフォトレジスト 1 1 をエッチングマスクとして第 2 の反射防止膜

13、SOG犠牲膜12、第1のハードマスク6及び配線層間膜5を、エッチストップ膜4が露出するまで、選択的に連続してドライエッチングすることにより予備的なビアパターン22（0.13 μ mルールでは ϕ 0.2 μ m）を形成し（図2（E）参照）、その後、第2のフォトレジスト11、第2の反射防止膜13及びSOG犠牲膜12を有機剥離液を用いて除去する（図2（F）参照）。

【0048】

ここで、この工程（図2（D）から（E）の間の工程）でのエッチングは、各層（12、6、5）が選択的にエッチングできるように、 C_xF_y 、 $C_xH_yF_z$ 、 Ar 、 N_2 、 O_2 等のエッチングガスを順次調整しながら行なわれる。

【0049】

次に、第2のハードマスク7をエッチングマスクとして、第1のハードマスク6及びエッチストップ膜4を同時にドライエッチングし、続けて配線層間膜5及びビア層間膜3を、エッチストップ膜4及びキャップ膜2が露出するまで、同時にドライエッチングすることにより、配線溝23及びビアホール24（0.13 μ mルールでは ϕ 0.2 μ m）を形成する（図2（G）参照）。

【0050】

次に、露出するキャップ膜2を、Cu下層配線層1が露出するまで、エッチバック法によりエッチングし、Cu下層配線層1の一部が露出した基板を洗浄した後、基板上に（シード膜、メタルバリア膜を成膜した後）Cuメッキ膜をビアホール及び配線溝に埋め込まれるまで成膜し、その後、Cuメッキ膜及び第1のハードマスク6をCMP（Chemical Mechanical Polishing；化学的機械的研磨）を行うことによって平坦化（第1のハードマスク6が研磨されてほとんどなくなるまで）する。これにより、下部Cu配線層と電氣的に接続するデュアルダマシン配線が形成される。

【0051】

次に、本発明の実施例4について図面を用いて説明する。図3は、本発明の実施例4に係る半導体装置の製造方法の各工程ごとの基板を模式的に示した部分断面図である。

【0052】

まず、表面に露出するCu下層配線1が形成された基板表面に、基板側から順にキャップ膜2 (SiCN; 膜厚50nm)、ビア層間膜3 (SiOC; 膜厚350~400nm)、エッチストップ膜4 (SiC; 膜厚50nm)、配線層間膜5 (SiOC; 膜厚300nm)、ハードマスク6 (SiO₂; 膜厚500nm)をCVD (Chemical Vapor Deposition) 法若しくは塗布法により成膜する (図3 (A) 参照)。

【0053】

次に、ハードマスク6上に第1の反射防止膜8 (有機BARC; 膜厚50nm)を成膜し、その上に配線幅相当の間口幅の開口パターンを有する第1のフォトレジスト9 (膜厚400nm)を形成して (図3 (A) 参照)、第1のフォトレジスト9をエッチングマスクとして第1の反射防止膜8、ハードマスク6及び配線層間膜5を、エッチストップ膜4が露出するまで、選択的に連続してドライエッチングすることにより、配線パターン23を形成し (図3 (B) 参照)、その後、第1のフォトレジスト9及び第1の反射防止膜8を有機剥離液を用いて除去する (図3 (C) 参照)。

【0054】

次に、MSQ光吸収犠牲膜10 (ハードマスク6表面からの膜厚500nm)を、表面が平坦になるように配線パターン23に埋め込んで、成膜する (図3 (D) 参照)。その後、MSQ光吸収犠牲膜10表面にビア径相当の間口幅の開口パターンを有する第2のフォトレジスト11 (膜厚400nm)を形成する (図3 (E) 参照)。

【0055】

次に、第2のフォトレジスト11をエッチングマスクとして、MSQ光吸収犠牲膜10、エッチストップ膜4及びビア層間膜3を、キャップ膜2が露出するまで、選択的に連続してドライエッチングすることにより、ビアホール24 (0.13μmルールではφ0.2μm程度)を形成し (図3 (F) 参照)、その後、第2のフォトレジスト11及びMSQ光吸収犠牲膜10を有機剥離液 (例えば、NH₄F系)を用いて除去する (図3 (G) 参照)。

【0056】

ここで、この工程（図 3（E）から（F）の間の工程）でのエッチングは、各層（10、4、3）が選択的にエッチングできるように、 $C_x F_y$ 、 $C_x H_y F_z$ 、 Ar 、 N_2 、 O_2 等のエッチングガスを順次調整しながら行なわれる。

【0057】

次に、露出するキャップ膜 2 を、Cu 下層配線層 1 が露出するまで、エッチバック法によりエッチングし、Cu 下層配線層 1 の一部が露出した基板を洗浄した後、基板上に（シード膜、メタルバリア膜を成膜した後）Cu メッキ膜をビアホール及び配線溝に埋め込まれるまで成膜し、その後、Cu メッキ膜を CMP（Chemical Mechanical Polishing；化学的機械的研磨）を行うことによって平坦化（ハードマスク 6 が研磨されてほとんどなくなるまで）する。これにより、下部 Cu 配線層と電氣的に接続するデュアルダマシン配線が形成される。

【0058】

次に、本発明の実施例 5 について図面を用いて説明する。図 4 は、本発明の実施例 5 に係る半導体装置の製造方法の各工程ごとの基板を模式的に示した部分断面図である。

【0059】

まず、表面に露出する Cu 下層配線 1 が形成された基板表面に、基板側から順にキャップ膜 2（SiCN；膜厚 50 nm）、ビア層間膜 3（SiOC；膜厚 350～400 nm）、エッチストッパ膜 4（SiC；膜厚 50 nm）、配線層間膜 5（SiOC；膜厚 300 nm）、ハードマスク 6（SiO₂；膜厚 500 nm）を CVD（Chemical Vapor Deposition）法若しくは塗布法により成膜する（図 4（A）参照）。

【0060】

次に、ハードマスク 6 上に第 1 の反射防止膜 8（有機 BARC；膜厚 50 nm）を成膜し、その上に配線幅相当の間口幅の開口パターンを有する第 1 のフォトレジスト 9（膜厚 400 nm）を形成して（図 4（A）参照）、第 1 のフォトレジスト 9 をエッチングマスクとして第 1 の反射防止膜 8、ハードマスク 6 及び配線層間膜 5 を、エッチストッパ膜 4 が露出するまで、選択的に連続してドライエッチングすることにより、配線パターン 23 を形成し（図 4（B）参照）、そ

の後、第 1 のフォトレジスト 9 及び第 1 の反射防止膜 8 を有機剥離液を用いて除去する（図 4（C）参照）。

【 0 0 6 1 】

次に、SOG 犠牲膜 1 2（ハードマスク 6 表面からの膜厚 5 0 0 n m）を、表面が平坦になるように配線パターン 2 3 に埋め込んで、成膜する（図 4（D）参照）。その後、SOG 犠牲膜 1 2 表面に第 2 の反射防止膜 1 3（有機 BARC；膜厚 5 0 n m）を成膜し、その上にビア径相当の間口幅の開口パターンを有する第 2 のフォトレジスト 1 1（膜厚 4 0 0 n m）を形成する（図 4（E）参照）。

【 0 0 6 2 】

次に、第 2 のフォトレジスト 1 1 をエッチングマスクとして、第 2 の反射防止膜 1 3、SOG 犠牲膜 1 2、エッチストップ膜 4 及びビア層間膜 3 を、キャップ膜 2 が露出するまで、選択的に連続してドライエッチングすることにより、ビアホール 2 4（0. 1 3 μ m ルールでは ϕ 0. 2 μ m 程度）を形成し（図 4（F）参照）、その後、第 2 のフォトレジスト 1 1、第 2 の反射防止膜 1 3 及び SOG 犠牲膜 1 2 を有機剥離液を用いて除去する（図 4（G）参照）。

【 0 0 6 3 】

ここで、この工程（図 4（E）から（F）の間の工程）でのエッチングは、各層（1 2、4、3）が選択的にエッチングできるように、 $C_x F_y$ 、 $C_x H_y F_z$ 、Ar、 N_2 、 O_2 等のエッチングガスを順次調整しながら行なわれる。

【 0 0 6 4 】

次に、露出するキャップ膜 2 を、Cu 下層配線層 1 が露出するまで、エッチバック法によりエッチングし、Cu 下層配線層 1 の一部が露出した基板を洗浄した後、基板上に（シード膜、メタルバリア膜を成膜した後）Cu メッキ膜をビアホール及び配線溝に埋め込まれるまで成膜し、その後、Cu メッキ膜を CMP（Chemical Mechanical Polishing；化学的機械的研磨）を行うことによって平坦化（ハードマスク 6 が研磨されてほとんどなくなるまで）する。これにより、下部 Cu 配線層と電氣的に接続するデュアルダマシン配線が形成される。

【 0 0 6 5 】

【発明の効果】

本発明によれば、デュアルダマシン配線構造の良好な加工形状を得ることができる。

【 0 0 6 6 】

また、本発明によれば、ビアホールを配線溝の側壁寄りに形成する場合でも良好な加工形状を得ることができる。

【 0 0 6 7 】

また、本発明によれば、配線層間膜、ビア層間膜が有機膜であっても無機膜であっても加工できる。

【 0 0 6 8 】

また、本発明によれば、配線パターンが微細化されても、良好な加工形状が得られる。

【 0 0 6 9 】

また、本発明によれば、MSQ系光吸収犠牲膜を用いる場合には、配線層間膜にダメージを与えずに、デュアルダマシン配線加工が可能となる。その理由は、MSQ系光吸収犠牲膜が、非常に低濃度の希フッ酸あるいはフッ化アンモニウム含有の有機剥離液などで容易に除去できるため、ビアパターンエッチング後に、配線層間膜に対して選択的に除去することができ、配線層間膜にダメージを与えることがないからである。

【 0 0 7 0 】

さらに、本発明によれば、MSQ系光吸収犠牲膜を用いた場合、フォトレジストとの選択比が十分に得られるため、厚膜のハードマスクに形成された深い溝に埋め込むことが可能となり、寸法精度の高いフォトレジストの形成が可能となる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態（実施例 1）に係る半導体装置の製造方法の各工程ごとの基板を模式的に示した部分断面図である。

【図 2】

本発明の実施例 3 に係る半導体装置の製造方法の各工程ごとの基板を模式的に

示した部分断面図である。

【図 3】

本発明の実施例 4 に係る半導体装置の製造方法の各工程ごとの基板を模式的に示した部分断面図である。

【図 4】

本発明の実施例 5 に係る半導体装置の製造方法の各工程ごとの基板を模式的に示した部分断面図である。

【図 5】

従来例 1 に係る半導体装置の製造方法の各工程ごとの基板を模式的に示した部分断面図である。

【図 6】

参考例 1 に係る半導体装置の製造方法の各工程ごとの基板を模式的に示した部分断面図である。

【図 7】

参考例 2 に係る半導体装置の製造方法の各工程ごとの基板を模式的に示した部分断面図である。

【図 8】

参考例 3 に係る半導体装置の製造方法の各工程ごとの基板を模式的に示した部分断面図である。

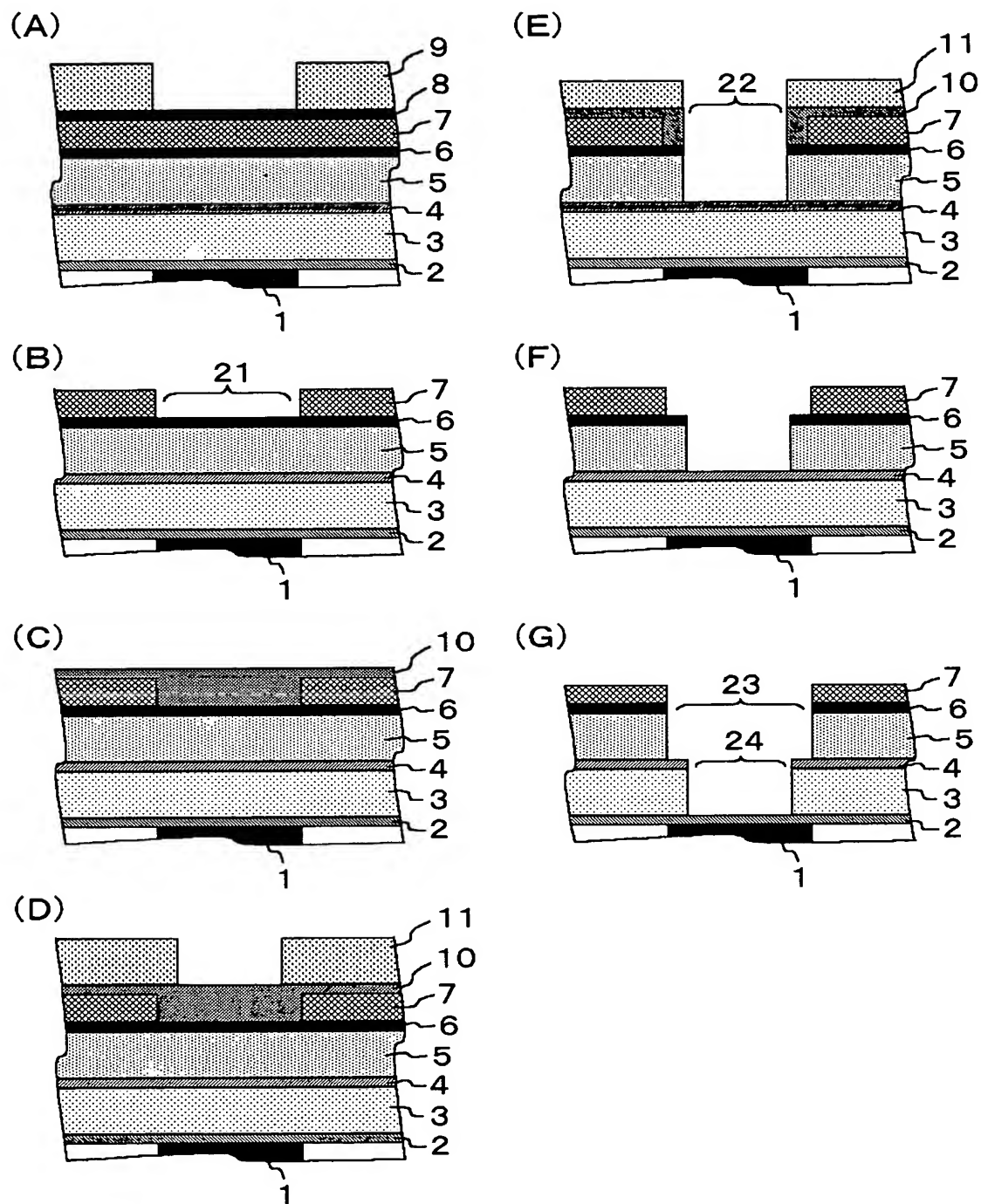
【符号の説明】

- 1、101、101a、101b Cu 下層配線層
- 2、102 キャップ膜
- 3、103 ビア層間膜
- 4、104 エッチストッパ膜
- 5、105 配線層間膜
- 6、106 第 1 のハードマスク（ハードマスク）
- 7、107 第 2 のハードマスク
- 8、108 防止膜反射（第 1 の反射防止膜）
- 9、109 第 1 のフォトレジスト

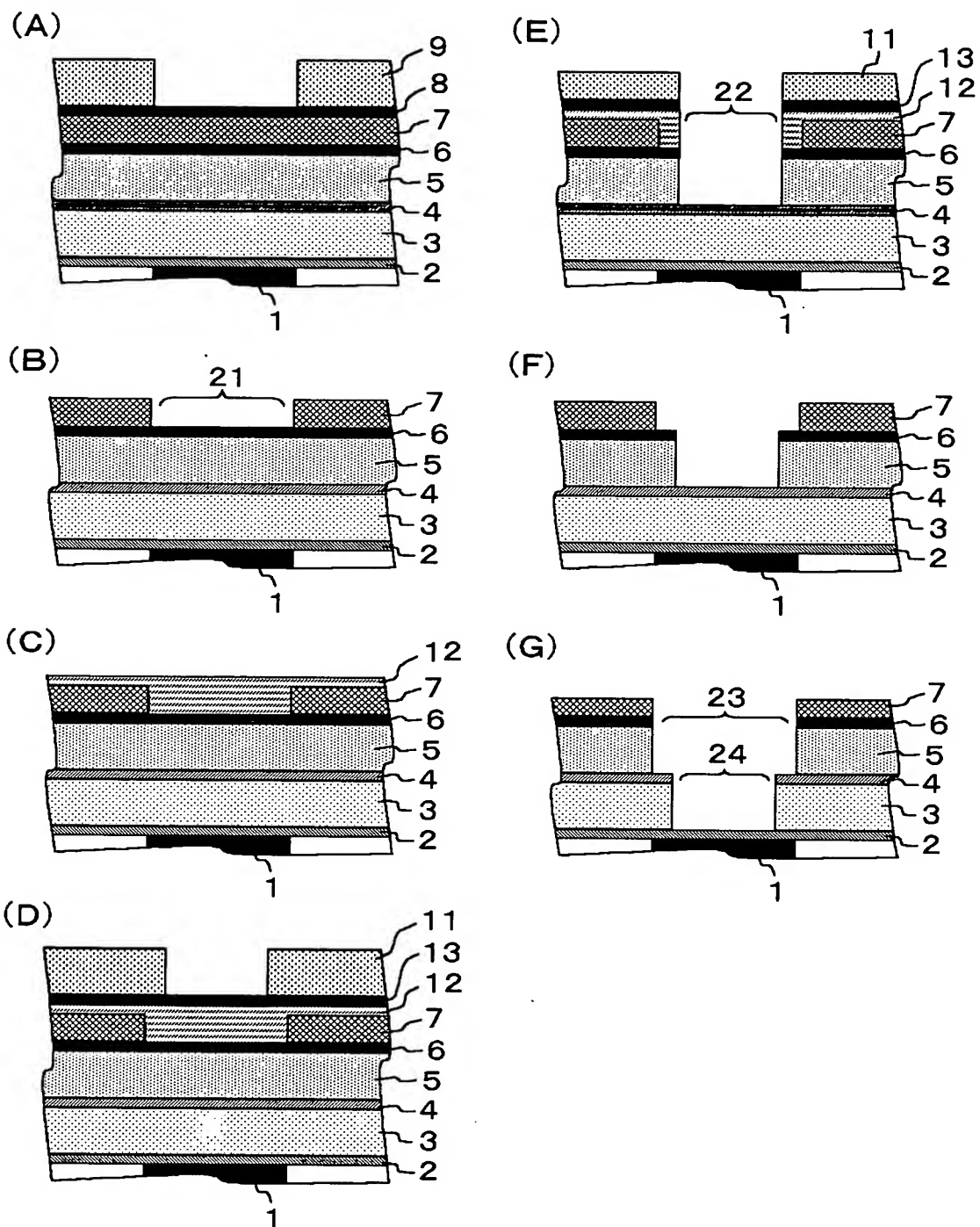
- 1 0 M S Q 系光吸収犠牲膜
- 1 1、1 1 1 第 2 のフォトレジスト
- 1 2 S O G 犠牲膜
- 1 3、1 1 3 第 2 の反射防止膜
- 2 1、2 2、1 2 1、1 2 2 パターン（溝）
- 2 3、1 2 3 配線溝（配線パターン）
- 2 4、1 2 4 ビアホール（ビアパターン）
- 1 1 1 a、1 1 1 b 開口パターン
- 1 2 5、1 2 6 領域

【書類名】 図面

【図 1】

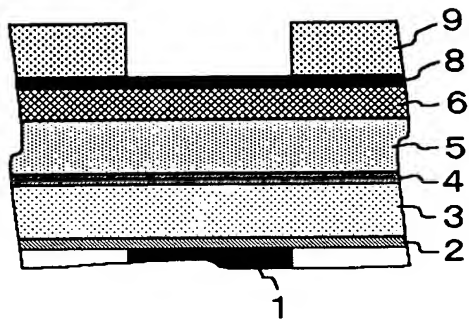


【図 2】

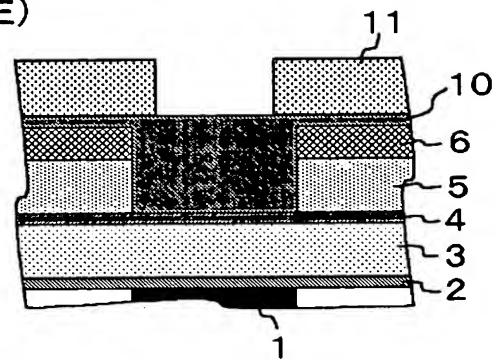


【図 3】

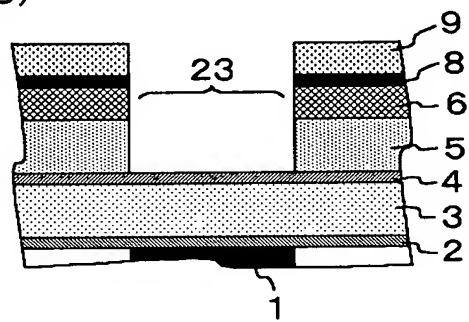
(A)



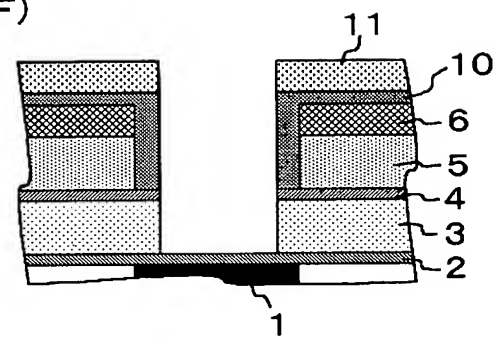
(E)



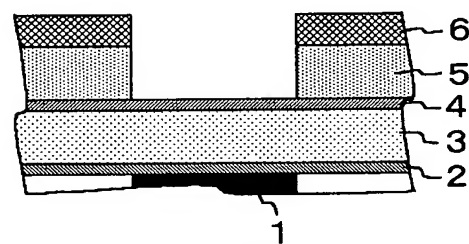
(B)



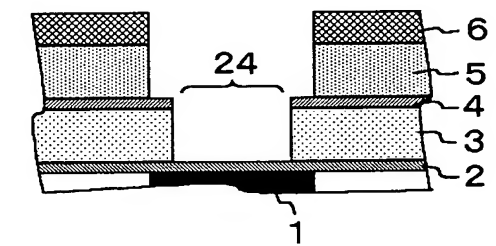
(F)



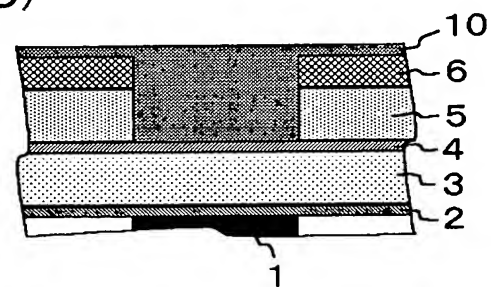
(C)



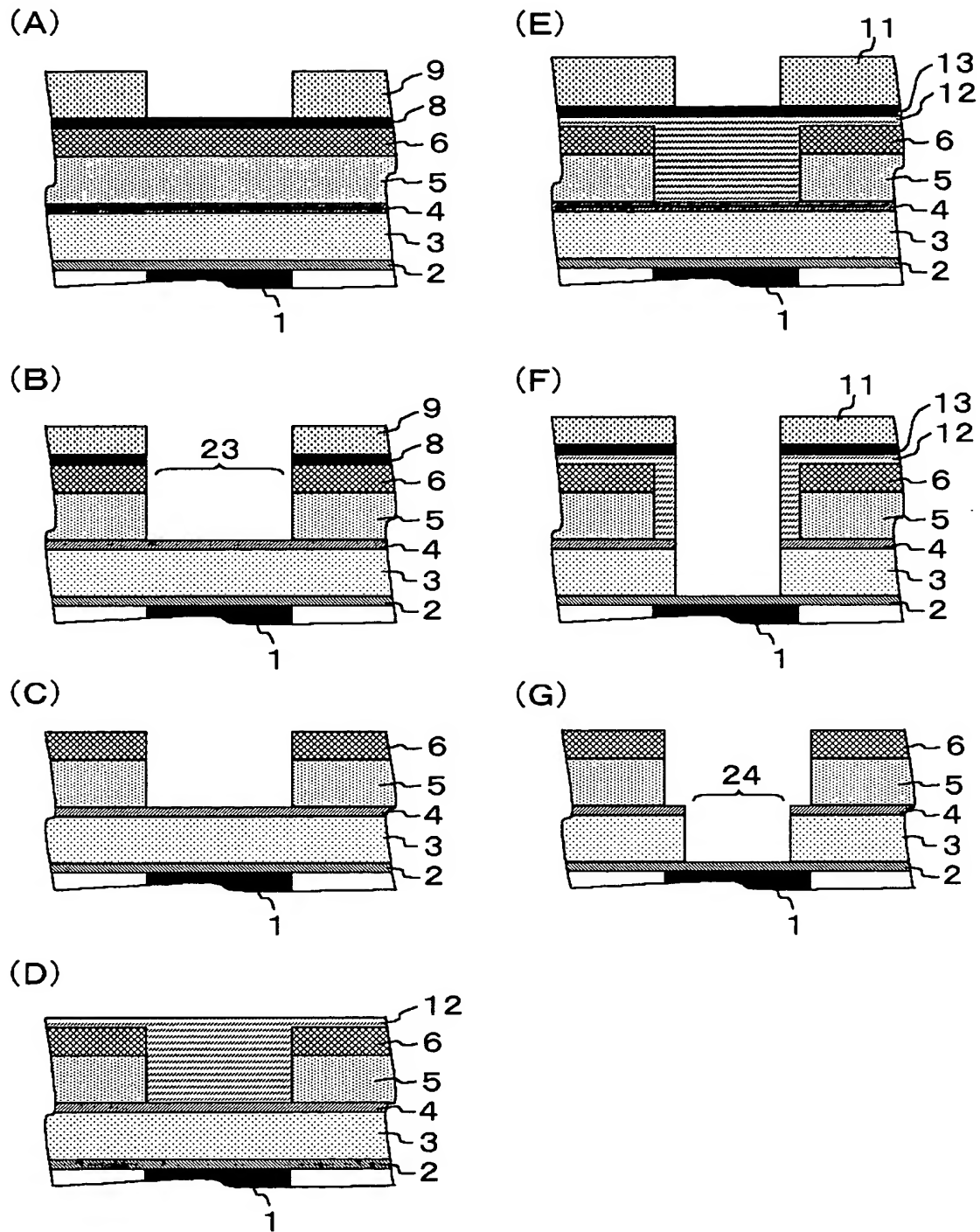
(G)



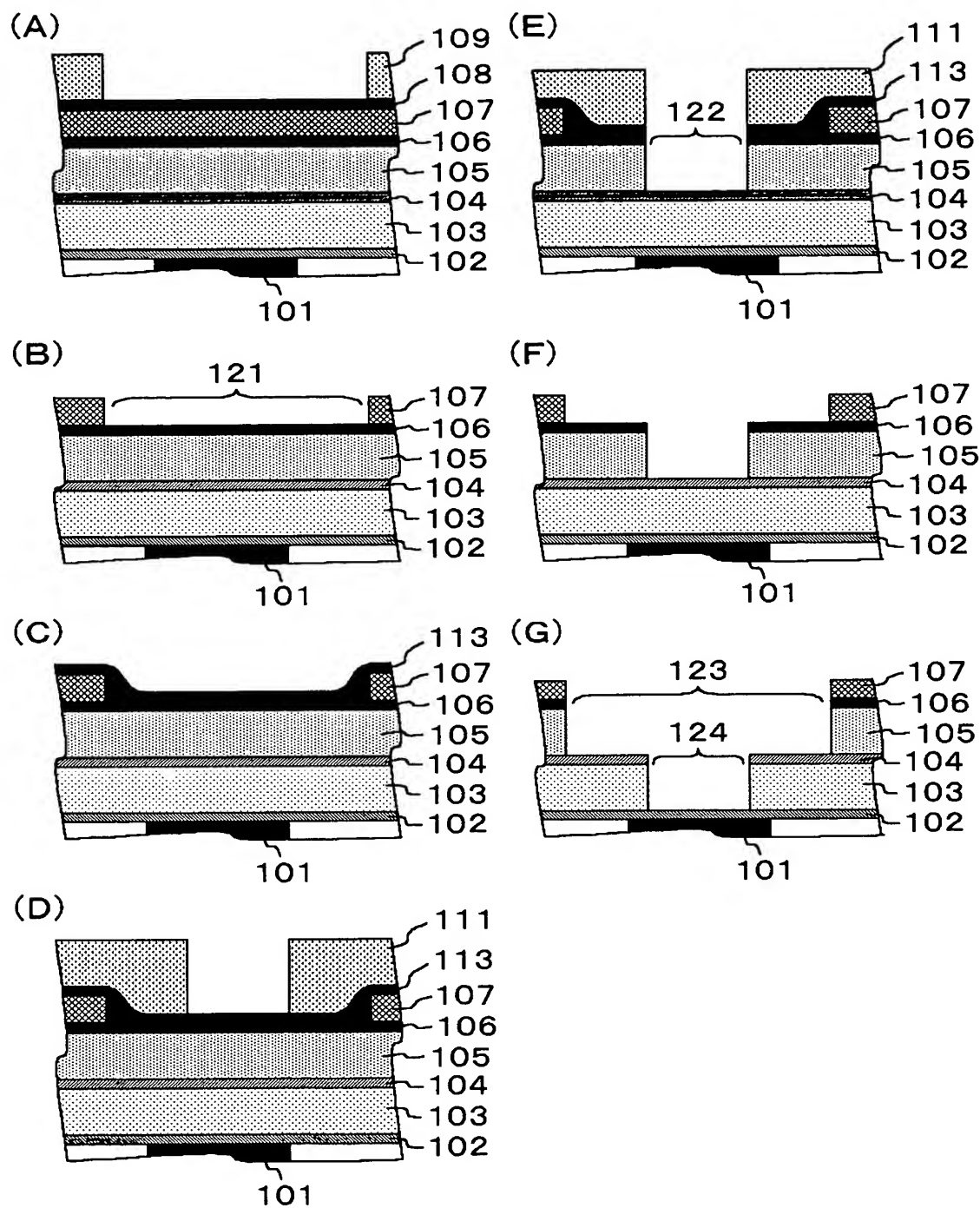
(D)



【図 4】

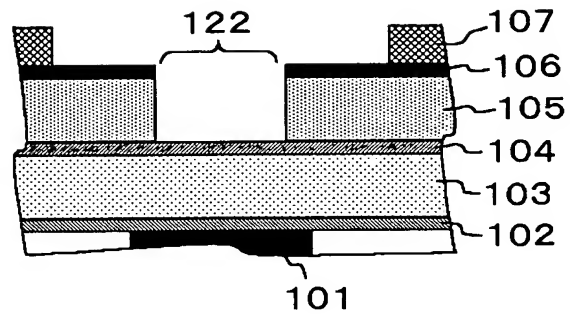


【図 5】

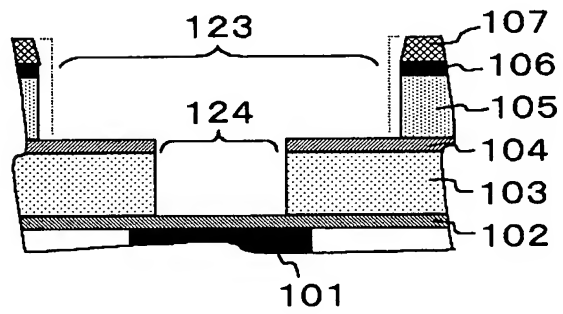


【図 6】

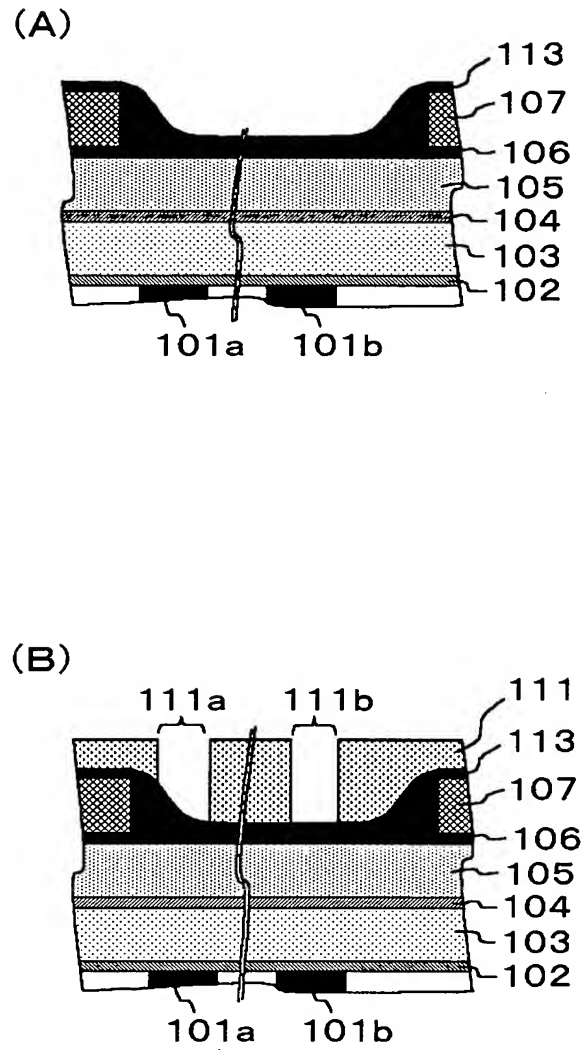
(A)



(B)

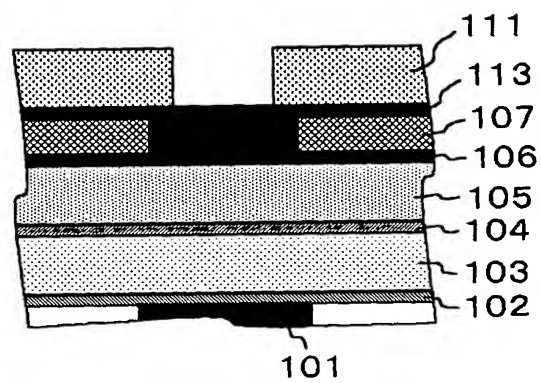


【図 7】

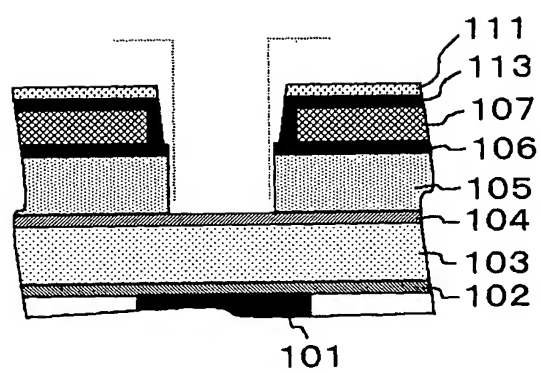


【図8】

(A)



(B)



【書類名】 要約書

【要約】

【課題】

デュアルダマシン配線構造の良好な加工形状が得られる半導体装置及びその製造方法を提供すること。

【解決手段】

基板上に少なくとも第1の層間膜、エッチストップ膜、第2の層間膜、第1のハードマスク、第2のハードマスクがこの順に成膜され、かつ、第2のハードマスクに溝パターンが形成された半導体基板上に、少なくともフォトレジストのエッチングレートと相互に異なり、かつ、剥離液を用いて除去可能な光吸収性犠牲膜をその表面全体が平坦に成膜し、溝パターンの間口幅よりも小さい間口幅の開口パターンを有するフォトレジストを形成し、フォトレジストをエッチングマスクとして少なくとも光吸収性犠牲膜、第1のハードマスク及び第2の層間膜を、選択的に連続してエッチングする。

【選択図】

図 1

【書類名】 出願人名義変更届（一般承継）
【整理番号】 74112703
【提出日】 平成15年 1月23日
【あて先】 特許庁長官殿
【事件の表示】
【出願番号】 特願2002-240803
【承継人】
【識別番号】 302062931
【氏名又は名称】 N E C エレクトロニクス株式会社
【承継人代理人】
【識別番号】 100080816
【弁理士】
【氏名又は名称】 加藤 朝道
【電話番号】 045-476-1131
【提出物件の目録】
【物件名】 承継人であることを証明する登記簿謄本 1
【援用の表示】 平成 1 5 年 1 月 1 0 日提出の特願 2 0 0 2 - 3 1 8 4 8
8 の出願人名義変更届に添付のものを援用する。
【物件名】 承継人であることを証明する書面 1
【援用の表示】 平成 1 5 年 1 月 1 5 日提出の平成 9 年特許願第 2 8 7 7
4 3 号の出願人名義変更届に添付のものを援用する。
【包括委任状番号】 0216557
【プルーフの要否】 要

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日 1 9 9 0 年 8 月 2 9 日
[変更理由] 新規登録
住 所 東京都港区芝五丁目 7 番 1 号
氏 名 日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [3 0 2 0 6 2 9 3 1]

1. 変更年月日	2 0 0 2 年 1 1 月 1 日
[変更理由]	新規登録
住 所	神奈川県川崎市中原区下沼部 1 7 5 3 番地
氏 名	N E C エレクトロニクス株式会社